

Docket No.: 60188-574

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Junichi YANO

Serial No.:

Group Art Unit:

Filed: July 11, 2003

Examiner:

For: DYNAMIC CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

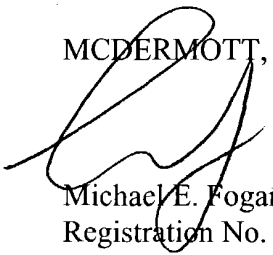
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-202148, filed July 11, 2002

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: July 11, 2003

日本国特許庁
JAPAN PATENT OFFICE

60188-574
Yano
July 11, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月11日

出願番号

Application Number:

特願2002-202148

[ST.10/C]:

[JP2002-202148]

出願人

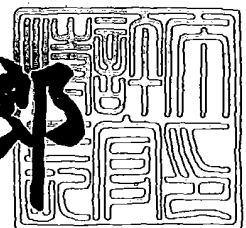
Applicant(s):

松下電器産業株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028265

【書類名】 特許願

【整理番号】 5037730078

【提出日】 平成14年 7月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/096

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 矢野 純一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ダイナミック回路

【特許請求の範囲】

【請求項1】 クロック入力端子と、

複数の入力端子と、

ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記クロック入力端子に接続したプリチャージMOSトランジスタと、

複数の論理演算用MOSトランジスタとを備え、

前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、

前記プリチャージノードと第二の電位の電源との間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間接ノードを形成して接続したダイナミック回路において、

前記プリチャージMOSトランジスタを前記間接ノードから前記プリチャージノードへの導通パスが形成された後においても導通させることを特徴とするダイナミック回路。

【請求項2】 2つのクロック入力端子と、

複数の入力端子と、

ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記一方のクロック入力端子に接続したプリチャージMOSトランジスタと、

ソースドレインパスをディスチャージノードと第二の電位の電源に接続しゲート端子を前記他方のクロック入力端子に接続したディスチャージMOSトランジスタと、

複数の論理演算用MOSトランジスタとを備え、

前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、

前記プリチャージノードと前記ディスチャージノードとの間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間接ノード

ドを形成して接続したダイナミック回路において、

前記プリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても導通させることを特徴とするダイナミック回路。

【請求項3】 前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても前記プリチャージMOSトランジスタが導通するように、前記クロック入力端子に印加されるクロック信号に遅延が付加されることを特徴とする請求項1又は2に記載のダイナミック回路。

【請求項4】 前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても前記プリチャージMOSトランジスタが導通するように、前記入力端子に印加される信号と論理演算を行うことによって前記クロック入力端子に印加されるクロック信号が生成されることを特徴とする請求項1又は2に記載のダイナミック回路。

【請求項5】 クロック入力端子と、
 複数の入力端子と、
 ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記クロック入力端子に接続したプリチャージMOSトランジスタと、
 複数の論理演算用MOSトランジスタとを備え、
 前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、
 前記プリチャージノードと第二の電位の電源との間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間接ノードを形成して接続したダイナミック回路において、
 前記クロック入力端子とは別のクロック入力端子と、
 ソースドレインパスを前記第一の電位の電源と前記プリチャージノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージMOSトランジスタとをさらに備え、
 当該別のプリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から導通させることを特徴とするダイ

ナミック回路。

【請求項 6】 2つのクロック入力端子と、

複数の入力端子と、

ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記一方のクロック入力端子に接続したプリチャージMOSトランジスタと、

ソースドレインパスをディスチャージノードと第二の電位の電源に接続しゲート端子を前記他方のクロック入力端子に接続したディスチャージMOSトランジスタと、

複数の論理演算用MOSトランジスタとを備え、

前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、

前記プリチャージノードと前記ディスチャージノードとの間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間中ノードを形成して接続したダイナミック回路において、

前記2つのクロック入力端子とは別のクロック入力端子と、

ソースドレインパスを前記第一の電位の電源と前記プリチャージノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージMOSトランジスタとをさらに備え、

当該別のプリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から導通させることを特徴とするダイナミック回路。

【請求項 7】 前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から前記別のプリチャージMOSトランジスタが導通するように、前記別のクロック入力端子に印加されるクロック信号に遅延が付加されることを特徴とする請求項 5 又は 6 に記載のダイナミック回路。

【請求項 8】 前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から前記別のプリチャージMOSトランジスタが導通するように、前記入力端子に印加される信号と論理演算を行うことによって前記別のクロッ

ク入力端子に印加されるクロック信号が生成されることを特徴とする請求項 5 又は 6 に記載のダイナミック回路。

【請求項 9】 クロック入力端子と、

複数の入力端子と、

ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記クロック入力端子に接続したプリチャージ MOS トランジスタと、
複数の論理演算用 MOS トランジスタとを備え、

前記複数の論理演算用 MOS トランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、

前記プリチャージノードと第二の電位の電源との間に前記複数の論理演算用 MOS トランジスタのソースドレインパスを少なくとも一つの間接ノードを形成して接続したダイナミック回路において、

前記クロック入力端子とは別のクロック入力端子と、

ソースドレインパスを前記第一の電位の電源と前記プリチャージノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージ MOS トランジスタとをさらに備え、

当該別のプリチャージ MOS トランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても導通させることを特徴とするダイナミック回路。

【請求項 10】 2 つのクロック入力端子と、

複数の入力端子と、

ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記一方のクロック入力端子に接続したプリチャージ MOS トランジスタと、

ソースドレインパスをディスチャージノードと第二の電位の電源に接続しゲート端子を前記他方のクロック入力端子に接続したディスチャージ MOS トランジスタと、

複数の論理演算用 MOS トランジスタとを備え、

前記複数の論理演算用 MOS トランジスタのゲート端子をそれぞれ前記複数の

入力端子のいずれかに接続し、

前記プリチャージノードと前記ディスチャージノードとの間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間中ノードを形成して接続したダイナミック回路において、

前記2つのクロック入力端子とは別のクロック入力端子と、

ソースドレインパスを前記第一の電位の電源と前記プリチャージノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージMOSトランジスタとをさらに備え、

当該別のプリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても導通させることを特徴とするダイナミック回路。

【請求項11】 前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても前記別のプリチャージMOSトランジスタが導通するように、前記別のクロック入力端子に印加されるクロック信号に遅延が付加されることを特徴とする請求項9又は10に記載のダイナミック回路。

【請求項12】 前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても前記別のプリチャージMOSトランジスタが導通するように、前記入力端子に印加される信号と論理演算を行うことによって前記別のクロック入力端子に印加されるクロック信号が生成されることを特徴とする請求項9又は10に記載のダイナミック回路。

【請求項13】 クロック入力端子と、

複数の入力端子と、

ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記クロック入力端子に接続したプリチャージMOSトランジスタと、複数の論理演算用MOSトランジスタとを備え、

前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、

前記プリチャージノードと第二の電位の電源との間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間中ノードを形成

して接続したダイナミック回路において、

前記論理演算用MOSトランジスタより少ない数の前記とは別のプリチャージMOSトランジスタをさらに備え、

当該別のプリチャージMOSトランジスタのゲート端子を前記複数の入力端子のいずれかに接続し、

前記第一の電位の電源と前記プリチャージノードとの間に当該別のプリチャージMOSトランジスタのソースドレインパスを接続し、

前記論理演算用MOSトランジスタによって前記プリチャージノードと前記第二の電位の電源との間は導通しないが、前記プリチャージノードと前記中間ノードは導通する場合のうち少なくとも一つの場合について当該別のプリチャージMOSトランジスタによって前記第一の電位の電源と前記プリチャージノードとの間を導通させることを特徴とするダイナミック回路。

【請求項14】 2つのクロック入力端子と、

複数の入力端子と、

ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記一方のクロック入力端子に接続したプリチャージMOSトランジスタと、

ソースドレインパスをディスチャージノードと第二の電位の電源に接続しゲート端子を前記他方のクロック入力端子に接続したディスチャージMOSトランジスタと、

複数の論理演算用MOSトランジスタとを備え、

前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、

前記プリチャージノードと前記ディスチャージノードとの間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間ノードを形成して接続したダイナミック回路において、

前記論理演算用MOSトランジスタより少ない数の前記とは別のプリチャージMOSトランジスタをさらに備え、

当該別のプリチャージMOSトランジスタのゲート端子を前記複数の入力端子

のいずれかに接続し、

前記第一の電位の電源と前記プリチャージノードとの間に当該別のプリチャージMOSトランジスタのソースドレインパスを接続し、

前記論理演算用MOSトランジスタによって前記プリチャージノードと前記デイスチャージノードとの間は導通しないが、前記プリチャージノードと前記中間ノードは導通する場合のうち少なくとも一つの場合について当該別のプリチャージMOSトランジスタによって前記第一の電位の電源と前記プリチャージノードとの間を導通させることを特徴とするダイナミック回路。

【請求項15】 クロック入力端子と、

複数の入力端子と、

ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記クロック入力端子に接続したプリチャージMOSトランジスタと、
複数の論理演算用MOSトランジスタとを備え、

前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、

前記プリチャージノードと第二の電位の電源との間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間接ノードを形成して接続したダイナミック回路において、

前記クロック入力端子とは別のクロック入力端子と、

ソースドレインパスを前記第一の電位の電源と前記中間ノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージMOSトランジスタとをさらに少なくとも一つ備え、

当該別のプリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から導通させることを特徴とするダイナミック回路。

【請求項16】 2つのクロック入力端子と、

複数の入力端子と、

ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記一方のクロック入力端子に接続したプリチャージMOSトランジスタ

たと、

ソースドレインパスをディスチャージノードと第二の電位の電源に接続しゲート端子を前記他方のクロック入力端子に接続したディスチャージMOSトランジスタと、

複数の論理演算用MOSトランジスタとを備え、

前記複数の論理演算用MOSトランジスタのゲート端子はそれぞれ前記複数の入力端子のいずれかに接続し、前記プリチャージノードと前記ディスチャージノードとの間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間接ノードを形成して接続したダイナミック回路において、

前記2つのクロック入力端子とは別のクロック入力端子と、

ソースドレインパスを前記第一の電位の電源と前記中間ノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージMOSトランジスタとをさらに備え、

当該別のプリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から導通させることを特徴とするダイナミック回路。

【請求項17】 前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から前記別のプリチャージMOSトランジスタが導通するように、前記別のクロック入力端子に印加されるクロック信号に遅延が付加されることを特徴とする請求項15又は16に記載のダイナミック回路。

【請求項18】 前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から前記別のプリチャージMOSトランジスタが導通するように、前記入力端子に印加される信号と論理演算を行うことによって前記別のクロック入力端子に印加されるクロック信号が生成されることを特徴とする請求項15又は16に記載のダイナミック回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOSトランジスタによって論理を実現するダイナミック回路にお

いて、ノイズの発生およびノイズに起因する誤動作の発生の低減を実現しようとするものである。

【0002】

【従来の技術】

近年の半導体集積回路は、プロセスの微細化により、高速動作化、省面積化、低消費電力化等を実現してきている。プロセスの微細化に伴い、電源の低電圧化も行われてきているが、これによって回路がノイズに対して弱くなるという問題点が顕著になってきている。

【0003】

高速動作を行う回路の一つとして、従来よりダイナミック回路と呼ばれる回路が使用されている。

【0004】

図15は、従来のダイナミック回路の一例を示すものである。

【0005】

図15において、101はP型MOSトランジスタであり、このP型MOSトランジスタ101はゲート端子がクロック入力端子107に接続されており、このクロック入力端子107からのクロック信号CKがLow（Lowとは接地電圧である）の期間、プリチャージノード112をHigh（Highとは電源電圧である）にチャージするようになっている。102、103、104はN型MOSトランジスタであり、これらN型MOSトランジスタはゲート端子がそれぞれ入力端子108、109、クロック入力端子107に接続され、さらに、N型MOSトランジスタ102とN型MOSトランジスタ103は中間ノード113を介して接続されている。入力端子108からの入力信号Aおよび入力端子109からの入力信号Bはクロック信号CKがLowの期間にLowとなり、Highの期間にLowのままか、Highへと変化する。105はインバータであり、プリチャージノード112を入力とし、その反転出力が出力端子111に接続されている。106はP型MOSトランジスタであり、このP型MOSトランジスタ106は出力端子111からの出力信号がLowすなわちプリチャージノード112がHighの場合に導通し、プリチャージノード112をHighに保持するようになっている。なお、P型MOS

トランジスタ106の駆動能力はN型MOSトランジスタ102、103、104の駆動能力より低く抑えられており、N型MOSトランジスタ102、103、104が導通した場合にはプリチャージノード112はLowに変化する。図16は図15に示すダイナミック回路の各部の信号の波形を示したものである。

【0006】

上記のように構成された従来例のダイナミック回路の動作を以下に述べる。

【0007】

まず、クロック信号CKがLowとなり、P型MOSトランジスタ101が導通し、プリチャージノード112がHighとなる。次に、クロック信号CKがHighになると、入力信号Aと入力信号BがHighに変化した場合にのみプリチャージノード112から接地端子が導通し、プリチャージノード112がLowとなる。プリチャージノード112の信号はインバータ105を通して出力端子111に出力されるため、出力信号はクロック信号CKがLowの期間にLowとなり、クロック信号CKがHighの期間に入力端子108、109のAND演算結果が出力されることになる。

【0008】

図17は、従来例のダイナミック回路の別の例を示すものである。

【0009】

図17に示すダイナミック回路が図15に示すダイナミック回路と異なる点は、図15にあったN型MOSトランジスタ104がなくなった点であり、あとは同様であり、その動作も図15のダイナミック回路の動作とほぼ同様である。

【0010】

【発明が解決しようとする課題】

ところで、図15に示す従来例のダイナミック回路では、クロック信号CKがHighの期間において、入力信号AのみがHighに変化し、入力信号BはLowのままであった場合には、プリチャージノード112と中間ノード113との間のみが導通するため、中間ノード113に電荷が蓄積されていなかった場合には、プリチャージノード112の電荷が中間ノード113へと分配され、プリチャージノード112の容量をC1、中間ノード113の容量をC2とすると、プリチャー

ジノード112の電位がHighからほぼ $\text{High} * [C1 / (C1 + C2)]$ に低下し、その後、P型MOSトランジスタ106を通して電源から電荷が供給され、Highへと戻る。
図16は以上の動作の各信号の波形を示したものである。

【0011】

このため、中間ノード113が存在するダイナミック回路では、入力端子の値の組み合わせによってプリチャージノード112にノイズが発生する場合があります、このノイズのために回路のノイズマージンが小さくなってしまったり、最悪の場合には回路が誤動作する可能性がある。

【0012】

この従来例の課題を解決するために、P型MOSトランジスタ106の駆動能力を強くする方法があるが、P型MOSトランジスタ106の駆動能力を大きくした場合には、クロック信号CKがHighの期間にN型MOSトランジスタ102、103、104によりプリチャージノード112の電位をLowにするスピードが遅くなり、回路の高速動作が妨げられてしまう。

【0013】

本発明は上記の問題点に鑑み、ダイナミック回路の電荷分配によるノイズを低減することを目的とするものである。

【0014】

【課題を解決するための手段】

上記の問題点を解決するために、請求項1に記載の発明は、クロック入力端子と、複数の入力端子と、ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記クロック入力端子に接続したプリチャージMOSトランジスタと、複数の論理演算用MOSトランジスタとを備え、前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、前記プリチャージノードと第二の電位の電源との間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの中間ノードを形成して接続したダイナミック回路において、前記プリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても導通させることを特徴とする。

【 0 0 1 5 】

請求項 2 に記載の発明は、2 つのクロック入力端子と、複数の入力端子と、ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記一方のクロック入力端子に接続したプリチャージ MOS トランジスタと、ソースドレインパスをディスチャージノードと第二の電位の電源に接続しゲート端子を前記他方のクロック入力端子に接続したディスチャージ MOS トランジスタと、複数の論理演算用 MOS トランジスタとを備え、前記複数の論理演算用 MOS トランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、前記プリチャージノードと前記ディスチャージノードとの間に前記複数の論理演算用 MOS トランジスタのソースドレインパスを少なくとも一つの間接ノードを形成して接続したダイナミック回路において、前記プリチャージ MOS トランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても導通させることを特徴とする。

【 0 0 1 6 】

請求項 3 に記載の発明は、請求項 1 又は 2 に記載の発明において、前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても前記プリチャージ MOS トランジスタが導通するように、前記クロック入力端子に印加されるクロック信号に遅延が付加されることを特徴とする。

【 0 0 1 7 】

請求項 4 に記載の発明は、請求項 1 又は 2 に記載の発明において、前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても前記プリチャージ MOS トランジスタが導通するように、前記入力端子に印加される信号と論理演算を行うことによって前記クロック入力端子に印加されるクロック信号が生成されることを特徴とする。

【 0 0 1 8 】

これにより、請求項 1 ～ 4 に記載の発明では、プリチャージノードから中間ノードへ電荷が分配される際に、プリチャージ MOS トランジスタによりプリチャージノードへ電荷が供給されるため、電荷分配によるノイズを低減することができる。また、請求項 4 に記載の発明では、プリチャージノードから中間ノードへ

電荷が分配される際に、プリチャージMOSトランジスタによりプリチャージノードへ電荷が供給されるため、電荷分配によるノイズを低減することができ、さらに、プリチャージノードへの電荷の供給が不要な場合にはその供給を行わないようにし、回路の動作速度の低下を防止することができる。

【0019】

請求項5に記載の発明は、クロック入力端子と、複数の入力端子と、ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記クロック入力端子に接続したプリチャージMOSトランジスタと、複数の論理演算用MOSトランジスタとを備え、前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、前記プリチャージノードと第二の電位の電源との間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間中ノードを形成して接続したダイナミック回路において、前記クロック入力端子とは別のクロック入力端子と、ソースドレインパスを前記第一の電位の電源と前記プリチャージノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージMOSトランジスタとをさらに備え、当該別のプリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から導通させることを特徴とする。

【0020】

請求項6に記載の発明は、2つのクロック入力端子と、複数の入力端子と、ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記一方のクロック入力端子に接続したプリチャージMOSトランジスタと、ソースドレインパスをディスチャージノードと第二の電位の電源に接続しゲート端子を前記他方のクロック入力端子に接続したディスチャージMOSトランジスタと、複数の論理演算用MOSトランジスタとを備え、前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、前記プリチャージノードと前記ディスチャージノードとの間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間中ノードを形成して接続したダイナミック回路において、前記2つのクロック入

力端子とは別のクロック入力端子と、ソースドレインパスを前記第一の電位の電源と前記プリチャージノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージMOSトランジスタとをさらに備え、当該別のプリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から導通させることを特徴とする。

【 0 0 2 1 】

請求項7に記載の発明は、請求項5又は6に記載の発明において、前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から前記別のプリチャージMOSトランジスタが導通するように、前記別のクロック入力端子に印加されるクロック信号に遅延が付加されることを特徴とする。

【 0 0 2 2 】

請求項8に記載の発明は、請求項5又は6に記載の発明において、前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から前記別のプリチャージMOSトランジスタが導通するように、前記入力端子に印加される信号と論理演算を行うことによって前記別のクロック入力端子に印加されるクロック信号が生成されることを特徴とする。

【 0 0 2 3 】

これにより、請求項5～8に記載の発明では、プリチャージノードから中間ノードへ電荷が分配される際に、前記別のプリチャージMOSトランジスタによりプリチャージノードへ電荷が供給されるため、電荷分配によるノイズを低減することができる。さらに、プリチャージMOSトランジスタを2つ別々に設けることにより、電荷分配によるノイズの発生に最適化された電荷の供給を行うことができる。また、請求項8に記載の発明では、プリチャージノードから中間ノードへ電荷が分配される際に、プリチャージMOSトランジスタによりプリチャージノードへ電荷が供給されるため、電荷分配によるノイズを低減することができ、さらに、プリチャージノードへの電荷の供給が不要な場合にはその供給を行わないようにし、回路の動作速度の低下を防止することができる。

【 0 0 2 4 】

請求項9に記載の発明は、クロック入力端子と、複数の入力端子と、ソース

ドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記クロック入力端子に接続したプリチャージMOSトランジスタと、複数の論理演算用MOSトランジスタとを備え、前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、前記プリチャージノードと第二の電位の電源との間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間中ノードを形成して接続したダイナミック回路において、前記クロック入力端子とは別のクロック入力端子と、ソースドレインパスを前記第一の電位の電源と前記プリチャージノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージMOSトランジスタとをさらに備え、当該別のプリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても導通させることを特徴とする。

【0025】

請求項10に記載の発明は、2つのクロック入力端子と、複数の入力端子と、ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記一方のクロック入力端子に接続したプリチャージMOSトランジスタと、ソースドレインパスをディスチャージノードと第二の電位の電源に接続しゲート端子を前記他方のクロック入力端子に接続したディスチャージMOSトランジスタと、複数の論理演算用MOSトランジスタとを備え、前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、前記プリチャージノードと前記ディスチャージノードとの間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間中ノードを形成して接続したダイナミック回路において、前記2つのクロック入力端子とは別のクロック入力端子と、ソースドレインパスを前記第一の電位の電源と前記プリチャージノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージMOSトランジスタとをさらに備え、当該別のプリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても導通させることを特徴とする。

【0026】

請求項11に記載の発明は、請求項9又は10に記載の発明において、前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても前記別のプリチャージMOSトランジスタが導通するように、前記別のクロック入力端子に印加されるクロック信号に遅延が付加されることを特徴とする。

【0027】

請求項12に記載の発明は、請求項9又は10に記載の発明において、前記中間ノードから前記プリチャージノードへの導通パスが形成された後においても前記別のプリチャージMOSトランジスタが導通するように、前記入力端子に印加される信号と論理演算を行うことによって前記別のクロック入力端子に印加されるクロック信号が生成されることを特徴とする。

【0028】

これにより、請求項9～12に記載の発明では、プリチャージノードから中間ノードへ電荷が分配される際に、前記別のプリチャージMOSトランジスタによりプリチャージノードへ電荷が供給されるため、電荷分配によるノイズを低減することができる。さらに、プリチャージMOSトランジスタが導通する際に前記別のプリチャージMOSトランジスタも導通させることができ、プリチャージノードへの電荷の供給を前記別のプリチャージMOSトランジスタも併用することができるため、プリチャージMOSトランジスタサイズを縮小することができる。また、請求項12に記載の発明では、プリチャージノードから中間ノードへ電荷が分配される際に、プリチャージMOSトランジスタによりプリチャージノードへ電荷が供給されるため、電荷分配によるノイズを低減することができ、さらに、プリチャージノードへの電荷の供給が不要な場合にはその供給を行わないようにし、回路の動作速度の低下を防止することができる。

【0029】

請求項13に記載の発明は、クロック入力端子と、複数の入力端子と、ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記クロック入力端子に接続したプリチャージMOSトランジスタと、複数の論理演算用MOSトランジスタとを備え、前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、前記プリチ

ャージノードと第二の電位の電源との間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間ノードを形成して接続したダイナミック回路において、前記論理演算用MOSトランジスタより少ない数の前記とは別のプリチャージMOSトランジスタをさらに備え、当該別のプリチャージMOSトランジスタのゲート端子を前記複数の入力端子のいずれかに接続し、前記第一の電位の電源と前記プリチャージノードとの間に当該別のプリチャージMOSトランジスタのソースドレインパスを接続し、前記論理演算用MOSトランジスタによって前記プリチャージノードと前記第二の電位の電源との間は導通しないが、前記プリチャージノードと前記中間ノードは導通する場合のうち少なくとも一つの場合について当該別のプリチャージMOSトランジスタによって前記第一の電位の電源と前記プリチャージノードとの間を導通させることを特徴とする。

【0030】

請求項14に記載の発明は、2つのクロック入力端子と、複数の入力端子と、ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記一方のクロック入力端子に接続したプリチャージMOSトランジスタと、ソースドレインパスをディスチャージノードと第二の電位の電源に接続しゲート端子を前記他方のクロック入力端子に接続したディスチャージMOSトランジスタと、複数の論理演算用MOSトランジスタとを備え、前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、前記プリチャージノードと前記ディスチャージノードとの間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間ノードを形成して接続したダイナミック回路において、前記論理演算用MOSトランジスタより少ない数の前記とは別のプリチャージMOSトランジスタをさらに備え、当該別のプリチャージMOSトランジスタのゲート端子を前記複数の入力端子のいずれかに接続し、前記第一の電位の電源と前記プリチャージノードとの間に当該別のプリチャージMOSトランジスタのソースドレインパスを接続し、前記論理演算用MOSトランジスタによって前記プリチャージノードと前記ディスチャージノードとの間は導通しないが、前記プリチャージノードと前

記中間ノードは導通する場合のうち少なくとも一つの場合について当該別のプリチャージMOSトランジスタによって前記第一の電位の電源と前記プリチャージノードとの間を導通させることを特徴とする。

【0031】

これにより、請求項13、14に記載の発明では、プリチャージノードから中間ノードへ電荷が分配される際に、前記別のプリチャージMOSトランジスタによりプリチャージノードへ電荷が供給されるため、電荷分配によるノイズを低減することができ、さらにこれがクロック信号に対して付加回路を挿入することなく実現できる。

【0032】

請求項15に記載の発明は、クロック入力端子と、複数の入力端子と、ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記クロック入力端子に接続したプリチャージMOSトランジスタと、複数の論理演算用MOSトランジスタとを備え、前記複数の論理演算用MOSトランジスタのゲート端子をそれぞれ前記複数の入力端子のいずれかに接続し、前記プリチャージノードと第二の電位の電源との間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの間ノードを形成して接続したダイナミック回路において、前記クロック入力端子とは別のクロック入力端子と、ソースドレインパスを前記第一の電位の電源と前記中間ノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージMOSトランジスタとをさらに少なくとも一つ備え、当該別のプリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から導通させることを特徴とする。

【0033】

請求項16に記載の発明は、2つのクロック入力端子と、複数の入力端子と、ソースドレインパスを第一の電位の電源とプリチャージノードに接続しゲート端子を前記一方のクロック入力端子に接続したプリチャージMOSトランジスタと、ソースドレインパスをディスチャージノードと第二の電位の電源に接続しゲート端子を前記他方のクロック入力端子に接続したディスチャージMOSトラ

ンジスタと、複数の論理演算用MOSトランジスタとを備え、前記複数の論理演算用MOSトランジスタのゲート端子はそれぞれ前記複数の入力端子のいずれかに接続し、前記プリチャージノードと前記ディスチャージノードとの間に前記複数の論理演算用MOSトランジスタのソースドレインパスを少なくとも一つの中間ノードを形成して接続したダイナミック回路において、前記2つのクロック入力端子とは別のクロック入力端子と、ソースドレインパスを前記第一の電位の電源と前記中間ノードに接続しゲート端子を前記別のクロック入力端子に接続した前記とは別のプリチャージMOSトランジスタとをさらに備え、当該別のプリチャージMOSトランジスタを前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から導通させることを特徴とする。

【0034】

請求項17に記載の発明は、請求項15又は16に記載の発明において、前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から前記別のプリチャージMOSトランジスタが導通するように、前記別のクロック入力端子に印加されるクロック信号に遅延が付加されることを特徴とする。

【0035】

請求項18に記載の発明は、請求項15又は16に記載の発明において、前記中間ノードから前記プリチャージノードへの導通パスが形成される時点から前記別のプリチャージMOSトランジスタが導通するように、前記入力端子に印加される信号と論理演算を行うことによって前記別のクロック入力端子に印加されるクロック信号が生成されることを特徴とする。

【0036】

これにより、請求項15～18に記載の発明では、プリチャージノードから中間ノードへ電荷が分配される際に、前記別のプリチャージMOSトランジスタにより中間ノードへ電荷が供給されるため、電荷分配によるノイズを低減することができ、さらに、中間ノードが複数あるようなダイナミック回路に対して、それぞれの中間ノードに前記別のプリチャージMOSトランジスタを設けることにより、電荷分配によるノイズの発生に最適化された電荷の供給を行うことができる。また、請求項18に記載の発明では、プリチャージノードから中間ノードへ電

荷が分配される際に、プリチャージMOSトランジスタによりプリチャージノードへ電荷が供給されるため、電荷分配によるノイズを低減することができ、さらに、プリチャージノードへの電荷の供給が不要な場合にはその供給を行わないようにし、回路の動作速度の低下を防止することができる。

【0037】

【発明の実施の形態】

以下、本発明の実施形態に係るダイナミック回路について図面を参照しながら説明する。

【0038】

（第1の実施形態）

図1は本発明の第1の実施形態に係るダイナミック回路の回路図である。図1において、1はP型MOSトランジスタであり、このP型MOSトランジスタ1はゲート端子が第二のクロック入力端子10に接続されており、この第二のクロック入力端子10からの第二のクロック信号CKBがLowの期間、プリチャージノード12をHighにチャージするようになっている。2～4はN型MOSトランジスタであり、これらN型MOSトランジスタ2～4はゲート端子がそれぞれ入力端子8、9、第一のクロック入力端子7に接続され、さらに、N型MOSトランジスタ2とN型MOSトランジスタ3は中間ノード13を介して接続されている。入力端子8からの入力信号Aおよび入力端子9からの入力信号Bは第一のクロック入力端子7からの第一のクロック信号CKAがLowの期間にLowとなり、Highの期間にLowのままか、Highへと変化する。第一のクロック信号CKAがHighに変化してから入力信号AがHighへ変化するまでの時間をT1とする。5はインバータであり、プリチャージノード12を入力とし、その反転出力が出力端子11に接続されている。6はP型MOSトランジスタであり、このP型MOSトランジスタ6は出力端子11からの出力信号がLowすなわちプリチャージノード12がHighの場合に導通し、プリチャージノード12をHighに保持するようになっている。なお、P型MOSトランジスタ6の駆動能力はN型MOSトランジスタ2～4の駆動能力より低く抑えられており、N型MOSトランジスタ2～4が導通した場合にはプリチャージノード12はLowに変化する。

【0039】

図2は図1の第一のクロック信号CKAと第二のクロック信号CKBを生成する回路を示したものである。図2において、25は原クロック入力端子であり、この原クロック入力端子25からの原クロック信号CKINから第一のクロック信号CKAと第二のクロック信号CKBが生成され、それぞれ出力端子26、27から出力されるようになっている。そして、第一のクロック信号CKAを出力する出力端子26は図1の第一のクロック入力端子7に接続され、第二のクロック信号CKBを出力する出力端子27は図1の第二のクロック入力端子10に接続されている。図2中、21aはバッファであり、入力から出力までの遅延時間は T_2 であり、 T_2 は $T_2 > T_1$ となるように調整されている。22aはANDゲートであり、入力から出力までの遅延時間は T_3 である。21bはバッファであり、入力から出力までの遅延時間はANDゲート22aと同じ T_3 である。図3は図1、2に示すダイナミック回路の各部の信号の波形を示したものである。

【0040】

上記のように構成された本発明の第1の実施形態に係るダイナミック回路の動作を以下に述べる。原クロック信号CKINから第一のクロック信号CKAおよび第二のクロック信号CKBを生成する回路において、第一のクロック信号CKAと第二のクロック信号CKBは立下りが同時であり、立上りは第二のクロック信号CKBの方が T_2 だけ遅れる。まず、第二のクロック信号CKBがLowとなり、P型MOSトランジスタ1が導通し、プリチャージノード12がHighとなる。次に、第一のクロック信号CKAがHighになると、入力信号Aと入力信号BがHighに変化した場合にのみプリチャージノード12から接地端子が導通し、プリチャージノード12がLowとなる。ここで、入力信号AのみがHighに変化し、入力信号BはLowのままであった場合には、プリチャージノード12と中間ノード13との間のみが導通するため、中間ノード13に電荷が蓄積されていなかった場合には、プリチャージノード12の電荷が中間ノード13へと分配される。しかし、入力信号AがHighに変化した後に第二のクロック信号CKBが立ち上がるため、プリチャージノード12の電荷が中間ノード13へと分配される場合にも、P型MOSトランジスタ1を通してプリチャージノード12へ電荷が供給され

るため、プリチャージノード12の電位の低下が従来例より低く抑えられる（図3のプリチャージノードの波形において従来例の場合を破線で示す）。

【0041】

以上のように、この第1の実施形態により、従来例のダイナミック回路よりプリチャージノード12の電荷分配によるノイズの発生を低減させることができる。

【0042】

（第2の実施形態）

図4は本発明の第2の実施形態に係るダイナミック回路の回路図である。図4において、1はP型MOSトランジスタであり、このP型MOSトランジスタ1はゲート端子が第一のクロック入力端子7に接続されており、この第一のクロック入力端子7からの第一のクロック信号CKAがLowの期間、プリチャージノード12をHighにチャージするようになっている。2～4はN型MOSトランジスタであり、これらN型MOSトランジスタ2～4はゲート端子がそれぞれ入力端子8、9、第一のクロック入力端子7に接続され、さらに、N型MOSトランジスタ2とN型MOSトランジスタ3は中間ノード13を介して接続されている。入力端子8からの入力信号Aおよび入力端子9からの入力信号Bは第一のクロック入力端子7からの第一のクロック信号CKAがLowの期間にLowとなり、Highの期間にLowのままか、Highへと変化する。第一のクロック信号CKAがHighに変化してから入力信号AがHighへ変化するまでの時間をT1とする。5はインバータであり、プリチャージノード12を入力とし、その反転出力が出力端子11に接続されている。6はP型MOSトランジスタであり、このP型MOSトランジスタ6は出力端子11からの出力信号がLowすなわちプリチャージノード12がHighの場合に導通し、プリチャージノード12をHighに保持するようになっている。なお、P型MOSトランジスタ6の駆動能力はN型MOSトランジスタ2～4の駆動能力より低く抑えられており、N型MOSトランジスタ2～4が導通した場合にはプリチャージノード12はLowに変化する。14はP型MOSトランジスタであり、このP型MOSトランジスタ14はゲート端子が第二のクロック入力端子10に接続されており、この第二のクロック入力端子10からの第二の

クロック信号CKBがLowの期間、プリチャージノード12に電荷を供給するようになっている。

【0043】

この第2の実施形態では、ダイナミック回路のクロック信号生成回路は第1の実施形態で用いた図2の回路構成と同じであり、また、ダイナミック回路の各部の信号の波形も第1の実施形態で用いた図3の波形図と同じである。

【0044】

上記のように構成された本発明の第2の実施形態に係るダイナミック回路の動作を以下に述べる。原クロック信号CKINから第一のクロック信号CKAおよび第二のクロック信号CKBを生成する回路において、第一のクロック信号CKAと第二のクロック信号CKBは立下りが同時であり、立上りは第二のクロック信号CKBの方がT2だけ遅れる。まず、第一のクロック信号CKAおよび第二のクロック信号CKBがLowとなり、P型MOSトランジスタ1、14が導通し、プリチャージノード12がHighとなる。次に、第一のクロック信号CKAがHighになると、入力信号Aと入力信号BがHighに変化した場合にのみプリチャージノード12から接地端子が導通し、プリチャージノード12がLowとなる。ここで、入力信号AのみがHighに変化し、入力信号BはLowのままであった場合には、プリチャージノード12と中間ノード13との間のみが導通するため、中間ノード13に電荷が蓄積されていなかった場合には、プリチャージノード12の電荷が中間ノード13へと分配される。しかし、入力信号AがHighに変化した後に第二のクロック信号CKBが立ち上がるため、プリチャージノード12の電荷が中間ノード13へと分配される場合にも、P型MOSトランジスタ14を通してプリチャージノード12へ電荷が供給されるため、プリチャージノード12の電位の低下が従来例より低く抑えられる（図3のプリチャージノードの波形において従来例の場合を破線で示す）。

【0045】

以上のように、この第2の実施形態により、従来例のダイナミック回路よりプリチャージノード12の電荷分配によるノイズの発生を低減させることができる。さらに、第一のクロック信号CKAがLow時のプリチャージ用のP型MOSト

ランジスタ1と電荷分配によるノイズの発生の低減用のP型MOSトランジスタ14を別に設け、そのP型MOSトランジスタ14のサイズをノイズの発生の低減に最適とすることにより、ノイズ発生低減に最適な電荷の供給を実現することができる。また、第一のクロック信号CKAがLowの期間には第二のクロック信号CKBもLowのため、P型MOSトランジスタ14をプリチャージノード12をHighにするためのトランジスタとして兼用することができ、P型MOSトランジスタ1のトランジスタサイズを縮小することができる。

【0046】

(第3の実施形態)

図5は本発明の第3の実施形態に係るダイナミック回路の回路図である。図5において、1はP型MOSトランジスタであり、このP型MOSトランジスタ1はゲート端子が第一のクロック入力端子7に接続されており、この第一のクロック入力端子7からの第一のクロック信号CKAがLowの期間、プリチャージノード12をHighにチャージするようになっている。2~4、32、33はN型MOSトランジスタであり、これらN型MOSトランジスタ2~4、32、33はゲート端子がそれぞれ入力端子8、9、第一のクロック入力端子7、入力端子38、39に接続され、さらに、N型MOSトランジスタ2とN型MOSトランジスタ3は中間ノード13を介して接続されており、N型MOSトランジスタ32とN型MOSトランジスタ33は中間ノード43を介して接続されている。入力端子8からの入力信号A、入力端子9からの入力信号B、入力端子38からの入力信号Cおよび入力端子39からの入力信号Dは、第一のクロック入力端子7からの第一のクロック信号CKAがLowの期間にLowとなり、Highの期間にLowのままか、Highへと変化する。第一のクロック信号CKAがHighに変化してから入力信号AがHighへ変化するまでの時間をT1とし、第一のクロック信号CKAがHighに変化してから入力信号CがHighへ変化するまでの時間をT4とする。5はインバータであり、プリチャージノード12を入力とし、その反転出力が出力端子11に接続されている。6はP型MOSトランジスタであり、このP型MOSトランジスタ6は出力端子11からの出力信号がLowすなわちプリチャージノード12がHighの場合に導通し、プリチャージノード12をHighに保持するようになっ

ている。なお、P型MOSトランジスタ6の駆動能力はN型MOSトランジスタ2～4, 32, 33の駆動能力より低く抑えられており、N型MOSトランジスタ2～4, 32, 33によりプリチャージノード12から接地端子が導通した場合にはプリチャージノード12はLowに変化する。14はP型MOSトランジスタであり、このP型MOSトランジスタ14はゲート端子が第二のクロック入力端子10に接続されており、この第二のクロック入力端子10からの第二のクロック信号CKBがLowの期間、プリチャージノード12に電荷を供給するようになっている。34はP型MOSトランジスタであり、このP型MOSトランジスタ34はゲート端子が第三のクロック入力端子30に接続されており、この第三のクロック入力端子30からの第三のクロック信号CKCがLowの期間、プリチャージノード12に電荷を供給するようになっている。

【0047】

図6は図5の第一のクロック信号CKAと第二のクロック信号CKBと第三のクロック信号CKCを生成する回路を示したものである。図6において、25は原クロック入力端子であり、この原クロック入力端子25からの原クロック信号CKINから第一のクロック信号CKAと第二のクロック信号CKBと第三のクロック信号CKCが生成され、それぞれ出力端子26～28から出力されるようになっている。そして、第一のクロック信号CKAを出力する出力端子26は図5の第一のクロック入力端子7に接続され、第二のクロック信号CKBを出力する出力端子27は図5の第二のクロック入力端子10に接続され、第三のクロック信号CKCを出力する出力端子28は図5の第三のクロック入力端子30に接続されている。図6中、21cはバッファであり、入力から出力までの遅延時間はT3である。23aはインバータであり、入力から出力までの遅延時間はT2である。22bはANDゲートであり、入力から出力までの遅延時間はバッファ21cと同じT3である。23bはインバータであり、入力から出力までの遅延時間はT1となるように調整されている。23cはインバータであり、入力から出力までの遅延時間はT5である。22cはANDゲートであり、入力から出力までの遅延時間はバッファ21cと同じT3である。23dはインバータであり、入力から出力までの遅延時間はT4となるように調整されている。図7は図5

、6に示すダイナミック回路の各部の信号の波形を示したものである。

【0048】

上記のように構成された本発明の第3の実施形態に係るダイナミック回路の動作を以下に述べる。原クロック信号CKINから第一のクロック信号CKA、第二のクロック信号CKBおよび第三のクロック信号CKCを生成する回路において、第二のクロック信号CKBは第一のクロック信号CKAが立ち上がってからT1だけ経過してから立下り、さらにT2経過してから立ち上がる信号を生成する。第三のクロック信号CKCは第一のクロック信号CKAが立ち上がってからT4だけ経過してから立下り、さらにT5経過してから立ち上がる信号を生成する。まず、第一のクロック信号CKAがLowとなり、P型MOSトランジスタ1が導通し、プリチャージノード12がHighとなる。次に、第一のクロック信号CKAがHighになると、入力信号Aと入力信号BがHighに変化するか、入力信号Cと入力信号DがHighに変化した場合にのみプリチャージノード12から接地端子が導通し、プリチャージノード12がLowとなる。ここで、入力信号AのみがHighに変化し、入力信号B、入力信号C、入力信号DはLowのままであった場合には、プリチャージノード12と中間ノード13との間のみが導通するため、中間ノード13に電荷が蓄積されていなかった場合には、プリチャージノード12の電荷が中間ノード13へと分配される。しかし、入力信号AがHighに変化すると同時に第二のクロック信号CKBが立ち下がるため、プリチャージノード12の電荷が中間ノード13へと分配される場合にも、P型MOSトランジスタ14を通してプリチャージノード12へ電荷が供給されるため、プリチャージノード12の電位の低下が従来例より低く抑えられる（図7のプリチャージノードの波形において従来例の場合を破線で示す）。また、入力信号CのみがHighに変化し、入力信号A、入力信号B、入力信号DはLowのままであった場合には、プリチャージノード12と中間ノード43との間のみが導通するため、中間ノード43に電荷が蓄積されていなかった場合には、プリチャージノード12の電荷が中間ノード43へと分配される。しかし、入力信号CがHighに変化すると同時に第三のクロック信号CKCが立ち下がるため、プリチャージノード12の電荷が中間ノード43へと分配される場合にも、P型MOSトランジスタ34を通してプリチャ

ージノード12へ電荷が供給されるため、プリチャージノード12の電位の低下が従来例より低く抑えられる。

【0049】

以上のように、この第3の実施形態により、従来例のダイナミック回路よりプリチャージノード12の電荷分配によるノイズの発生を低減させることができる。さらに、第一のクロック信号CKAがLow時のプリチャージ用のトランジスタ1と電荷分配によるノイズの発生の低減用のP型MOSトランジスタ14、34を別に設け、そのP型MOSトランジスタ14、34のサイズをノイズの発生の低減に最適とすることにより、ノイズの発生の低減に最適な電荷の供給を実現することができる。さらに、複数の中間ノード13、43に対して電荷分配によるノイズの発生の低減用のP型MOSトランジスタ14、34を独立に設け、そのP型MOSトランジスタ14、34のサイズを各中間ノード13、43への電荷分配によるノイズの発生の低減に最適とすることにより、複数の電荷分配に対して最適な電荷の供給を実現することができる。

【0050】

(第4の実施形態)

本発明の第4の実施形態に係るダイナミック回路は、図1に示す第1の実施形態と同じ構成である。ただし、第一のクロック信号CKAがHighに変化してから入力信号AがHighへ変化するまでの時間をT1とし、第一のクロック信号CKAがHighに変化してから入力信号BがHighへ変化するまでの時間をT4とし、 $T4 < T1$ であるとする。

【0051】

図8は図1の第一のクロック信号CKAと第二のクロック信号CKBを生成する回路を示したものである。図8において、25は原クロック入力端子であり、この原クロック入力端子25からの原クロック信号CKINと入力端子29からの入力信号Bから第一のクロック信号CKAと第二のクロック信号CKBが生成される。そして、第一のクロック信号CKAを出力する出力端子26は図1の第一のクロック入力端子7に接続され、第二のクロック信号CKBを出力する出力端子27は図1の第二のクロック入力端子10に接続されている。また、入力端

子29は図1の入力端子9に接続される。21dはバッファであり、入力から出力までの遅延時間は T_2 であり、 $T_2 > T_1$ となるように調整されている。22dはANDゲートであり、入力から出力までの遅延時間は T_5 である。24はORゲートであり、入力から出力までの遅延時間は T_6 であり、 $T_5 + T_6 = T_3$ 、 $T_4 + T_6 < T_1$ となるように調整されている。21eはバッファであり、入力から出力までの遅延時間は T_3 である。図3, 9は図1, 8に示すダイナミック回路の各部の信号の波形を示したものである。

【0052】

上記のように構成された本発明の第4の実施形態に係るダイナミック回路の動作を以下に述べる。原クロック信号CKINから第一のクロック信号CKAおよび第二のクロック信号CKBを生成する回路において、第一のクロック信号CKAと第二のクロック信号CKBは立下りが同時であり、立上りは第一のクロック信号CKAが変化してから入力信号BがLowのまま変化しなければ第二のクロック信号CKBの方が T_2 だけ遅れ、第一のクロック信号CKAが変化してから入力信号BがHighに変化すれば、第二のクロック信号CKBの方が $(T_4 + T_6)$ だけ遅れる。まず、第二のクロック信号CKBがLowとなり、P型MOSトランジスタ1が導通し、プリチャージノード12がHighとなる。次に、第一のクロック信号CKAがHighになると、入力信号Aと入力信号BがHighに変化した場合にのみプリチャージノード12から接地端子が導通し、プリチャージノード12がLowとなる。ここで、入力信号AのみがHighに変化し、入力信号BはLowのままであった場合には、プリチャージノード12と中間ノード13との間のみが導通するため、中間ノード13に電荷が蓄積されていなかった場合には、プリチャージノード12の電荷が中間ノード13へと分配される。しかし、入力信号AがHighに変化した後に第二のクロック信号CKBが立ち上がるため、プリチャージノード12の電荷が中間ノード13へと分配される場合にも、P型MOSトランジスタ1を通してプリチャージノード12へ電荷が供給されるため、プリチャージノード12の電位の低下が従来例より低く抑えられる（図3のプリチャージノードの波形において従来例の場合を破線で示す）。また、入力信号Aおよび入力信号BがともにHighに変化した場合（図9に波形を示す）には、入力信号AがHighに

変化する前に第二のクロック信号CKBがHighへと変化するため、プリチャージノード12から接地端子が導通した時点では、P型MOSトランジスタ1は非導通であり、プリチャージノード12がLowへと変化するのを妨げない。

【0053】

以上のように、この第4の実施形態により、従来例のダイナミック回路よりプリチャージノード12の電荷分配によるノイズの発生を低減させることができる。さらに、プリチャージノード12がLowへと変化する場合には、P型MOSトランジスタ1は非導通となるため、プリチャージノード12がLowへと変化するのを妨げず、それによる遅延時間の増大を防止することができる。

【0054】

(第5の実施形態)

図10は本発明の第5の実施形態に係るダイナミック回路の回路図である。図10において、1はP型MOSトランジスタであり、このP型MOSトランジスタ1はゲート端子がクロック入力端子7'に接続されており、このクロック入力端子7'からのクロック信号CKがLowの期間、プリチャージノード12をHighにチャージするようになっている。2～4はN型MOSトランジスタであり、これらN型MOSトランジスタ2～4はゲート端子がそれぞれ入力端子8、9、クロック入力端子7'に接続され、さらに、N型MOSトランジスタ2とN型MOSトランジスタ3は中間ノード13を介して接続されている。入力端子8からの入力信号Aおよび入力端子9からの入力信号Bはクロック入力端子7'からのクロック信号CKがLowの期間にLowとなり、Highの期間にLowのままか、Highへと変化する。5はインバータであり、プリチャージノード12を入力とし、その反転出力が出力端子11に接続されている。6はP型MOSトランジスタであり、このP型MOSトランジスタ6は出力端子11からの出力信号がLowすなわちプリチャージノード12がHighの場合に導通し、プリチャージノード12をHighに保持するようになっている。なお、P型MOSトランジスタ6の駆動能力はN型MOSトランジスタ2～4の駆動能力より低く抑えられており、N型MOSトランジスタ2～4が導通した場合にはプリチャージノード12はLowに変化する。

14はP型MOSトランジスタであり、入力信号BがLowの期間、プリチャージ

ノード12に電荷を供給するようになっている。図11は図10に示すダイナミック回路の各部の信号の波形を示したものである。

【0055】

上記のように構成された本発明の第5の実施形態に係るダイナミック回路の動作を以下に述べる。まず、クロック信号CKがLowとなり、P型MOSトランジスタ1が導通し、プリチャージノード12がHighとなる。次に、クロック信号CKがHighになると、入力信号Aと入力信号BがHighに変化した場合にのみ、プリチャージノード12から接地端子が導通し、プリチャージノード12がLowとなる。ここで、入力信号AのみがHighに変化し、入力信号BはLowのままであった場合には、プリチャージノード12と中間ノード13との間のみが導通するため、中間ノード13に電荷が蓄積されていなかった場合には、プリチャージノード12の電荷が中間ノード13へと分配される。しかし、入力信号BがLowのままであった場合には、プリチャージノード12の電荷が中間ノード13へと分配される場合にも、P型MOSトランジスタ14を通してプリチャージノード12へ電荷が供給されるため、プリチャージノード12の電位の低下が従来例より低く抑えられる（図11のプリチャージノードの波形において従来例の場合を破線で示す）。

【0056】

以上のように、この第5の実施形態により、従来例のダイナミック回路よりプリチャージノード12の電荷分配によるノイズの発生を低減させることができる。さらに、従来例のダイナミック回路のクロック信号に対して付加回路を挿入することなくこれが実現できる。

【0057】

（第6の実施形態）

図12は本発明の第6の実施形態に係るダイナミック回路の回路図である。図12において、1はP型MOSトランジスタであり、このP型MOSトランジスタ1はゲート端子が第一のクロック入力端子7に接続されており、この第一のクロック入力端子7からの第一のクロック信号CKAがLowの期間、プリチャージノード12をHighにチャージするようになっている。2～4はN型MOSトラン

ジスタであり、これらN型MOSトランジスタ2～4はゲート端子がそれぞれ入力端子8, 9、第一のクロック入力端子7に接続され、さらに、N型MOSトランジスタ2とN型MOSトランジスタ3は中間ノード13を介して接続されている。入力端子8からの入力信号Aおよび入力端子9からの入力信号Bは第一のクロック入力端子7からの第一のクロック信号CKAがLowの期間にLowとなり、Highの期間にLowのままか、Highへと変化する。第一のクロック信号CKAがHighに変化してから入力信号AがHighへ変化するまでの時間をT1とする。5はインバータであり、プリチャージノード12を入力とし、その反転出力が出力端子11に接続されている。6はP型MOSトランジスタであり、このP型MOSトランジスタ6は出力端子11からの出力信号がLowすなわちプリチャージノード12がHighの場合に導通し、プリチャージノード12をHighに保持するようになっている。なお、P型MOSトランジスタ6の駆動能力はN型MOSトランジスタ2～4の駆動能力より低く抑えられており、N型MOSトランジスタ2～4が導通した場合にはプリチャージノード12はLowに変化する。14はP型MOSトランジスタであり、このP型MOSトランジスタ14はゲート端子が第二のクロック入力端子10に接続されており、この第二のクロック入力端子10からの第二のクロック信号CKBがLowの期間、中間ノード13に電荷を供給するようになっている。

【0058】

図13は図12の第一のクロック信号CKAと第二のクロック信号CKBを生成する回路を示したものである。図13において、25は原クロック入力端子であり、この原クロック入力端子25からの原クロック信号CKINから第一のクロック信号CKAと第二のクロック信号CKBが生成され、それぞれ出力端子26, 27から出力されるようになっている。そして、第一のクロック信号CKAを出力する出力端子26は図12の第一のクロック入力端子7に接続され、第二のクロック信号CKBを出力する出力端子27は図12の第二のクロック入力端子10に接続されている。図13中、21fはバッファであり、入力から出力までの遅延時間はT3である。23eはインバータであり、入力から出力までの遅延時間はT2である。22eはANDゲートであり、入力から出力までの遅延時

間はバッファ21fと同じT3である。23fはインバータであり、入力から出力までの遅延時間はT1となるように調整されている。なお、ダイナミック回路の各部の信号の波形は第3の実施形態で用いた図7の波形図と同じである。

【0059】

上記のように構成された本発明の第6の実施形態に係るダイナミック回路の動作を以下に述べる。原クロック信号CKINから第一のクロック信号CKAおよび第二のクロック信号CKBを生成する回路において、第二のクロック信号CKBは第一のクロック信号CKAが立ち上がってからT1だけ経過してから立下り、さらにT2経過してから立ち上がる信号を生成する。まず、第一のクロック信号CKAがLowとなり、P型MOSトランジスタ1が導通し、プリチャージノード12がHighとなる。次に、第一のクロック信号CKAがHighになると、入力信号Aと入力信号BがHighに変化した場合にのみプリチャージノード12から接地端子が導通し、プリチャージノード12がLowとなる。ここで、入力信号AのみがHighに変化し、入力信号BはLowのままであった場合には、プリチャージノード12と中間ノード13との間のみが導通するため、中間ノード13に電荷が蓄積されていなかった場合には、プリチャージノード12の電荷が中間ノード13へと分配される。しかし、入力信号AがHighに変化すると同時に第二のクロック信号CKBが立ち下がるため、プリチャージノード12の電荷が中間ノード13へと分配される場合にも、P型MOSトランジスタ14を通して中間ノード13へ電荷が供給されるため、プリチャージノード12の電位の低下が従来例より低く抑えられる（図7のプリチャージノードの波形において従来例の場合を破線で示す）。

【0060】

以上のように、この第6の実施形態により、従来例のダイナミック回路よりプリチャージノード12の電荷分配によるノイズの発生を低減させることができる。さらに、中間ノードが複数あるようなダイナミック回路に対して、それぞれの中間ノード13に別々のノイズ発生低減用のP型MOSトランジスタ14を設けることにより、電荷分配によるノイズの発生に最適化された電荷の供給を行うことができる。

【0061】

なお、第1、第2、第4、第5、第6の実施形態において、入力端子A、BのAND演算を行うダイナミック回路とし、第3の実施形態において、入力端子A、BのAND演算結果と入力端子C、DのAND演算結果をOR演算を行うダイナミック回路としたが、中間ノードが形成されるものならば入力端子の数は何個でもよく、また演算内容も何でも構わない。

【0062】

また、第1ないし第6の実施形態において、接地端子にクロック信号がゲートに入力されるN型MOSトランジスタを配置したが、これはなくても構わない。

【0063】

また、第1ないし第6の実施形態において、出力にインバータとP型MOSトランジスタが接続されるとしたが、これはなくても構わないし、他の回路で構成されていてもよい。

【0064】

また、第1ないし第6の実施形態において、P型MOSトランジスタでプリチャージノードをHighに変化させ、N型MOSトランジスタでプリチャージノードをLowに変化させるか、Highのままとするかというダイナミック回路構成にしたが、回路の電源端子、接地端子の極性を入れ替え、さらにP型MOSトランジスタとN型トランジスタのタイプを入れ替え、N型MOSトランジスタでプリチャージノードをLowに変化させ、P型MOSトランジスタでプリチャージノードをHighに変化させるか、Lowのままとするかというダイナミック回路構成としてもよい。図1に対してこれを適用した回路を図14に示す。

【0065】

また、第1、2の実施形態において、第一のクロック信号CKAと第二のクロック信号CKBを生成する回路は図2に示すものとしたが、第二のクロック信号CKBの立ち上がりが入力信号Aの立ち上がりより後になればどのような回路構成でもよい。

【0066】

また、第3の実施形態において、第一のクロック信号CKAと第二のクロック

信号CKBと第三のクロック信号CKCを生成する回路は図6に示すものとしたが、第二のクロック信号CKBの立下りが入力信号Aの立ち上がり時点からになり、第三のクロック信号CKCの立下りが入力信号Cの立ち上がり時点からになればどのような回路構成でもよく、第二のクロック信号CKB、第三のクロック信号CKCを生成するのに、原クロック信号CKIN以外の信号を使用してもよい。

【0067】

また、第4の実施形態において、第一のクロック信号CKAと第二のクロック信号CKBを生成する回路は図8に示すものとしたが、入力信号BがLowのまま変化しなければ第二のクロック信号CKBの立ち上がりが入力信号Aの立ち上がりより後になり、入力信号BがHighに変化すれば、第二のクロック信号CKBの立ち上がりが入力信号Aの立ち上がりより前になればどのような回路構成でもよい。

【0068】

また、第5の実施形態において、中間ノード13への電荷分配によるノイズの発生を低減するためにP型MOSトランジスタ14を設けたが、中間ノード13への電荷分配が発生する場合の少なくとも一つの場合に対してプリチャージノード12へ電荷が供給されれば、どのような回路構成をとってもよい。

【0069】

また第6の実施形態において、中間ノード13に対して電荷を供給するP型MOSトランジスタ14を設けたが、中間ノード13が複数ある場合には、その一部もしくは全てに対して電荷を供給するP型MOSトランジスタを設けてもよい。

【0070】

【発明の効果】

以上のように、本発明のダイナミック回路では、プリチャージノードから中間ノードへ電荷を分配する際に、プリチャージMOSトランジスタによりプリチャージノードへ電荷を供給するようにしたので、電荷分配によるノイズの発生を低減することができる。

【図面の簡単な説明】

【図 1】

第 1, 4 の実施の形態に係るダイナミック回路の回路図である。

【図 2】

第 1, 2 の実施形態に係るダイナミック回路のクロック信号生成回路図である。

【図 3】

第 1, 2, 4 の実施形態に係るダイナミック回路の各部の信号の波形図である。

【図 4】

第 2 の実施形態に係るダイナミック回路の回路図である。

【図 5】

第 3 の実施形態に係るダイナミック回路の回路図である。

【図 6】

第 3 の実施形態に係るダイナミック回路のクロック信号生成回路図である。

【図 7】

第 3, 6 の実施形態に係るダイナミック回路の各部の信号の波形図である。

【図 8】

第 4 の実施形態に係るダイナミック回路のクロック信号生成回路図である。

【図 9】

第 4 の実施形態に係るダイナミック回路の各部の信号の波形図である。

【図 10】

第 5 の実施形態に係るダイナミック回路の回路図である。

【図 11】

第 5 の実施形態に係るダイナミック回路の各部の信号の波形図である。

【図 12】

第 6 の実施形態に係るダイナミック回路の回路図である。

【図 13】

第 6 の実施形態に係るダイナミック回路のクロック信号生成回路図である。

【図 14】

第 1 の実施形態に係るダイナミック回路の別の回路図である。

【図 15】

従来例のダイナミック回路の回路図である。

【図 16】

従来例のダイナミック回路の各部の信号の波形図である。

【図 17】

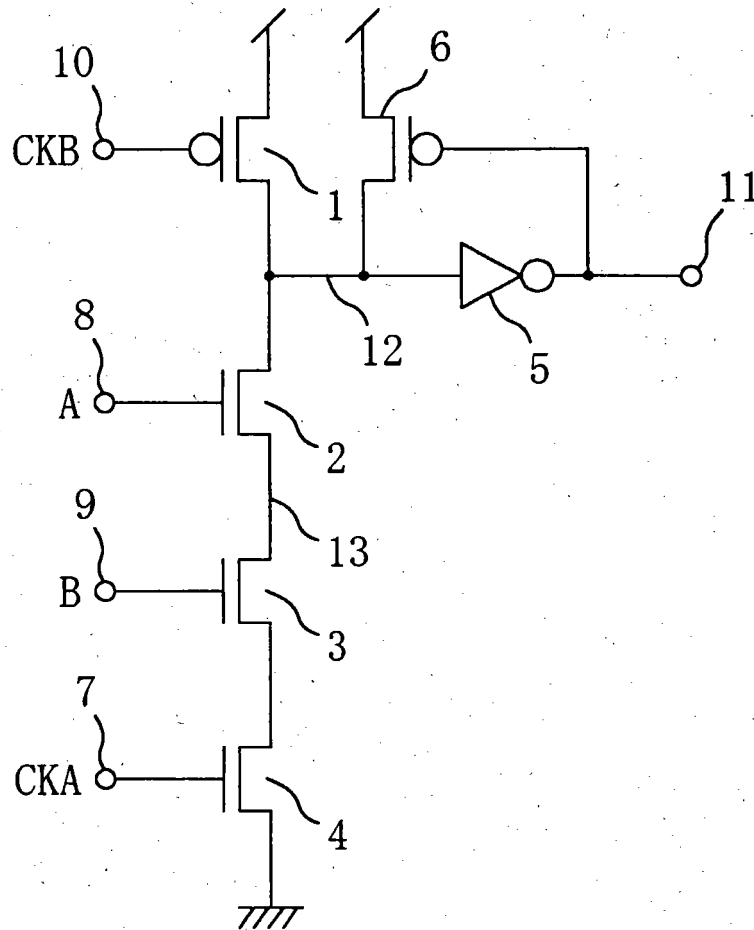
従来例のダイナミック回路の別の回路図である。

【符号の説明】

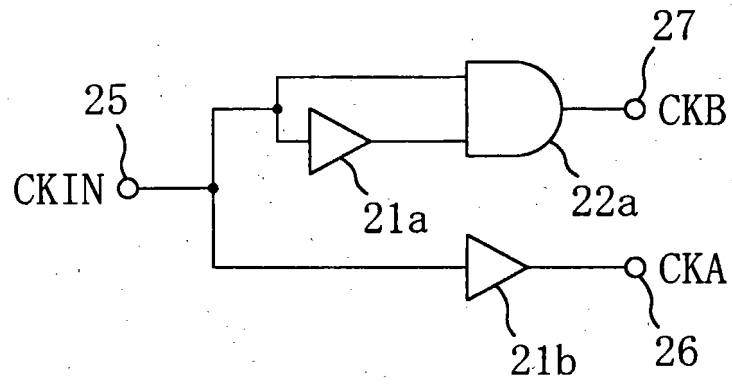
1、6、14、34、101、106	P型MOSトランジスタ
2、3、4、32、33、102、103、104	N型MOSトランジスタ
7、26	第一のクロック入力端子
10、27	第二のクロック入力端子
28、30	第三のクロック入力端子
7'、107	クロック入力端子
8、9、29、38、39、108、109	入力端子
11、111	出力端子
12、112	プリチャージノード
13、43、113	中間ノード
5、23a～23f、105	インバータ
21a～21f	バッファ
22a～22e	ANDゲート
24	ORゲート
25	原クロック入力端子

【書類名】 図面

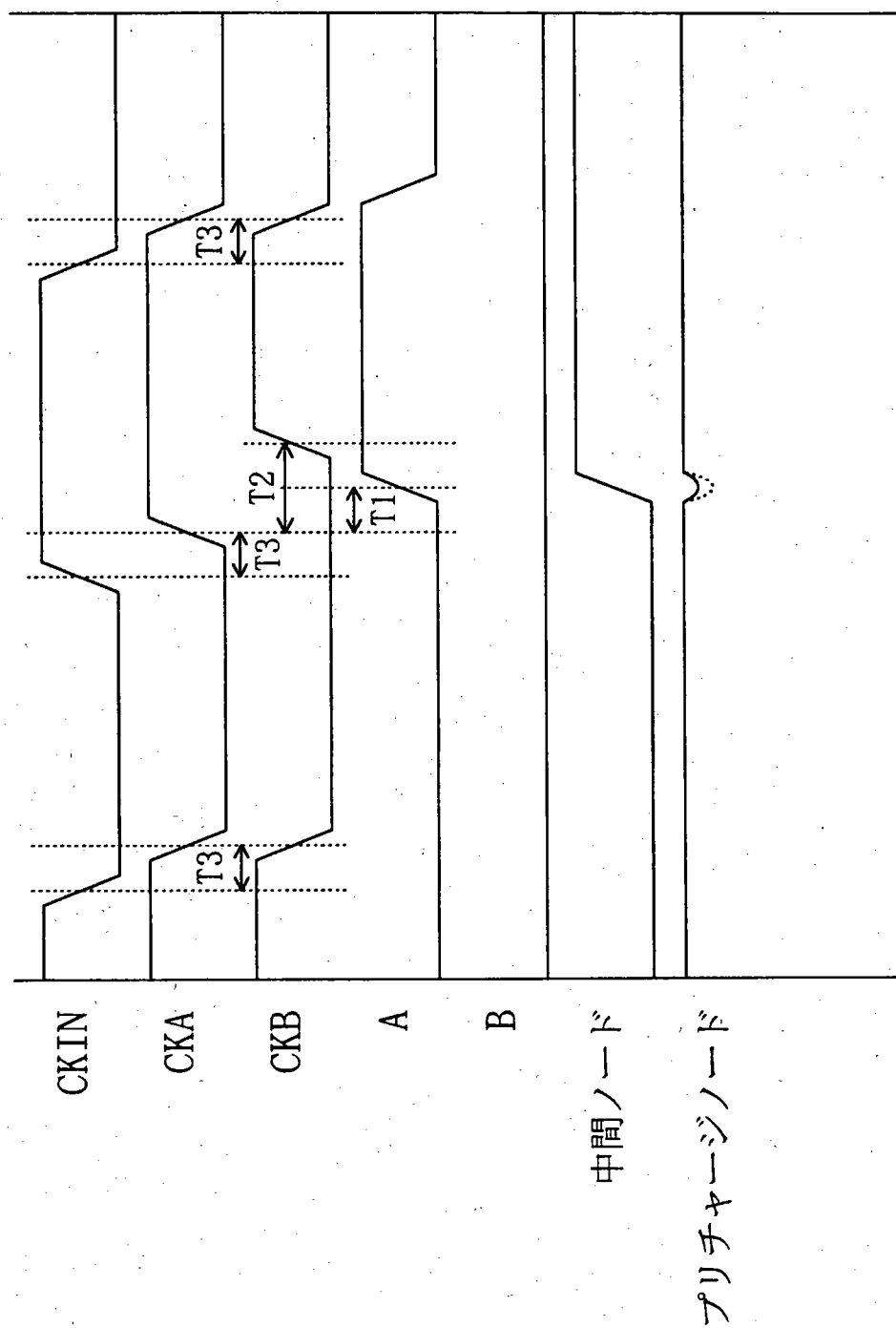
【図 1】



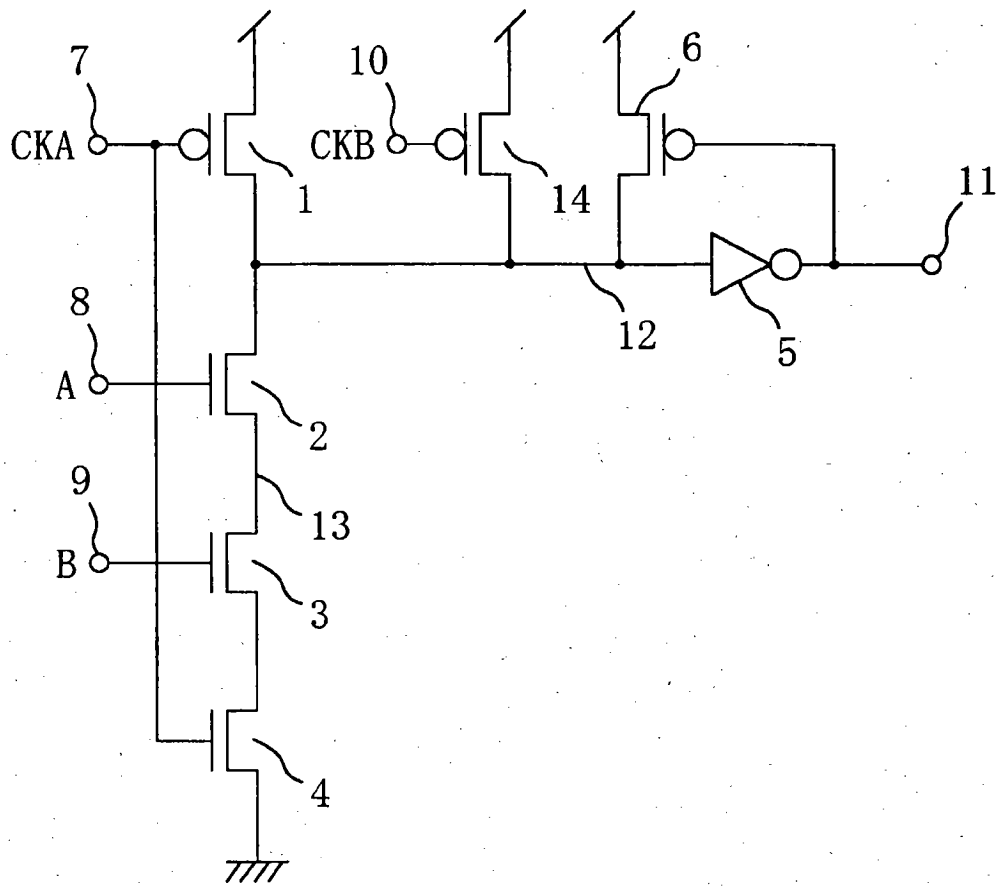
【図 2】



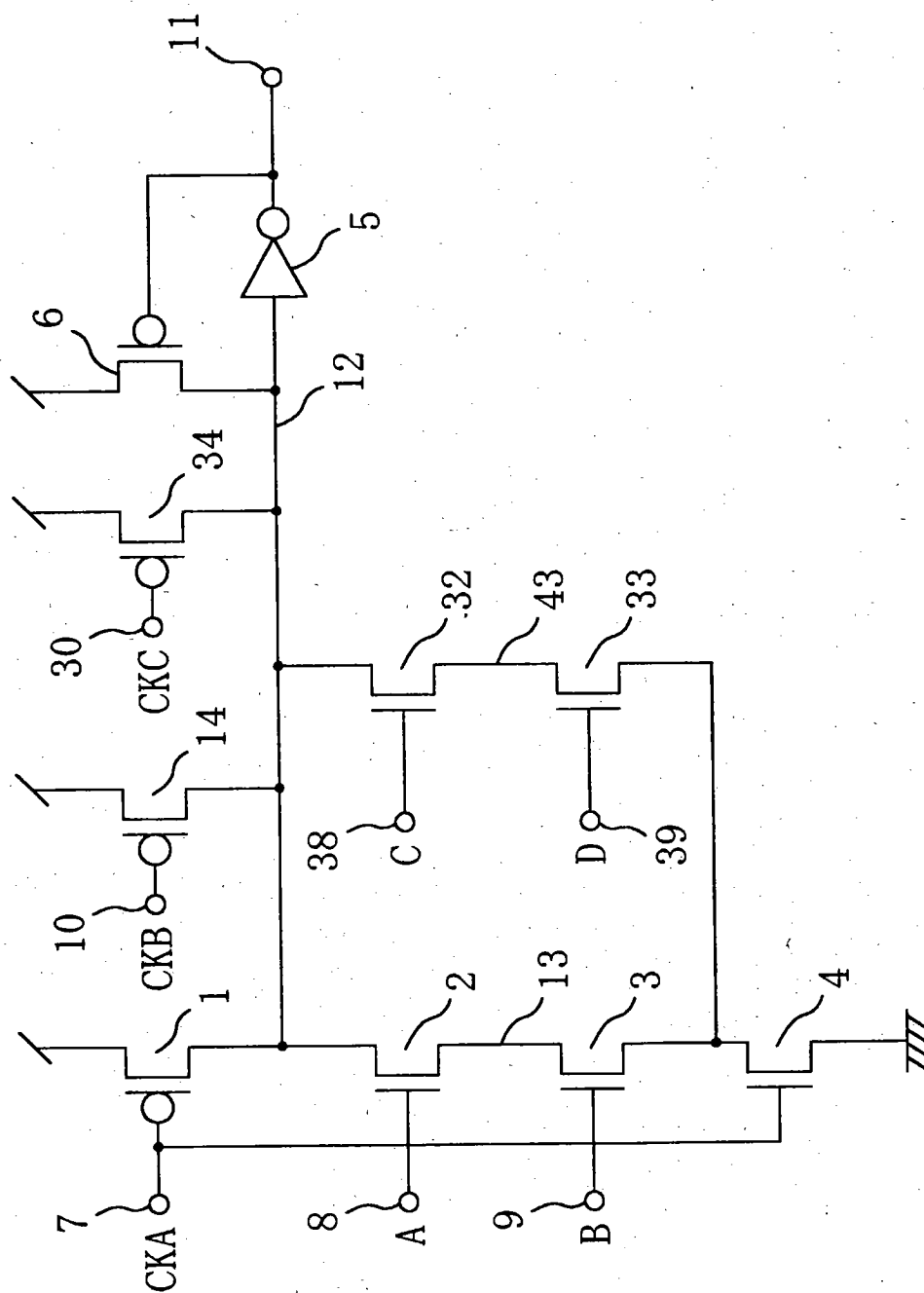
【図3】



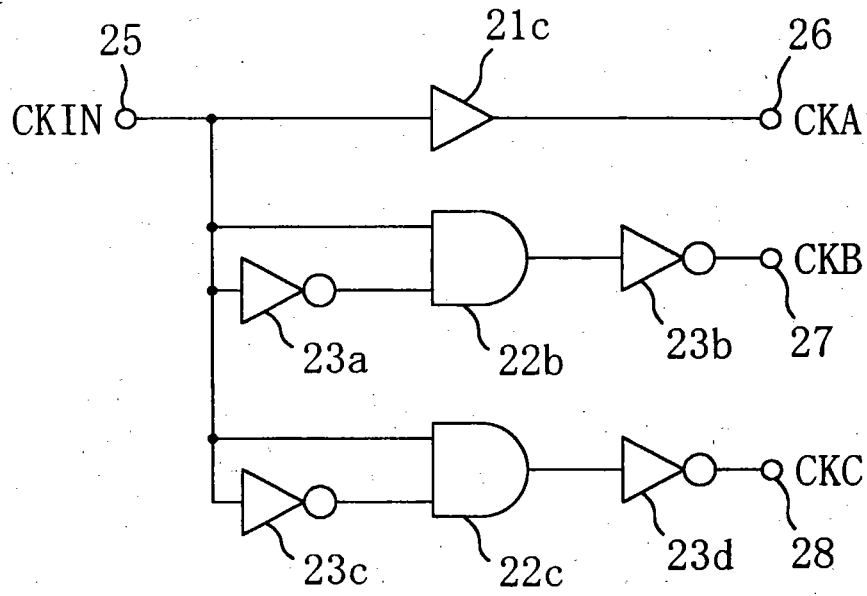
【図4】



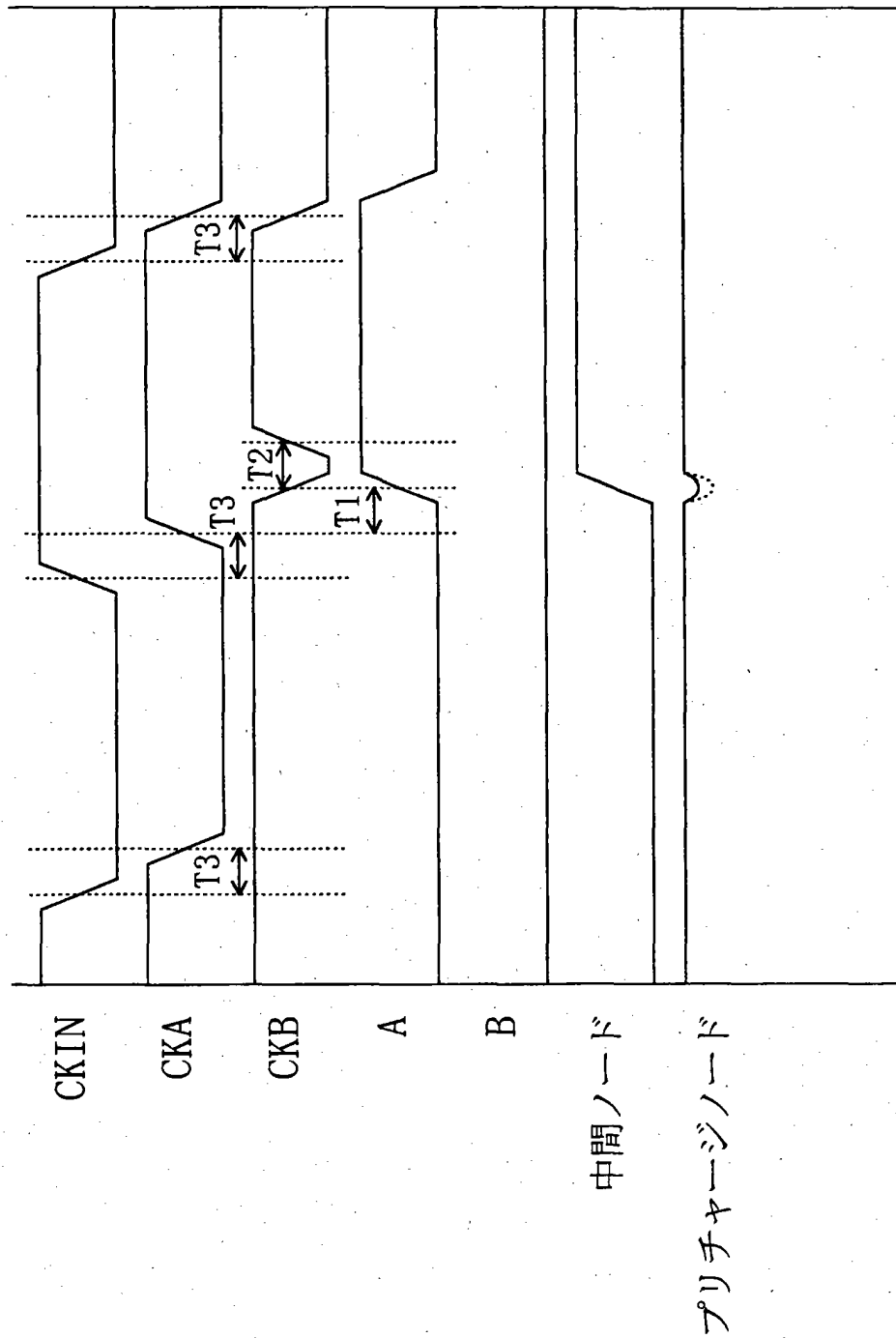
【図 5】



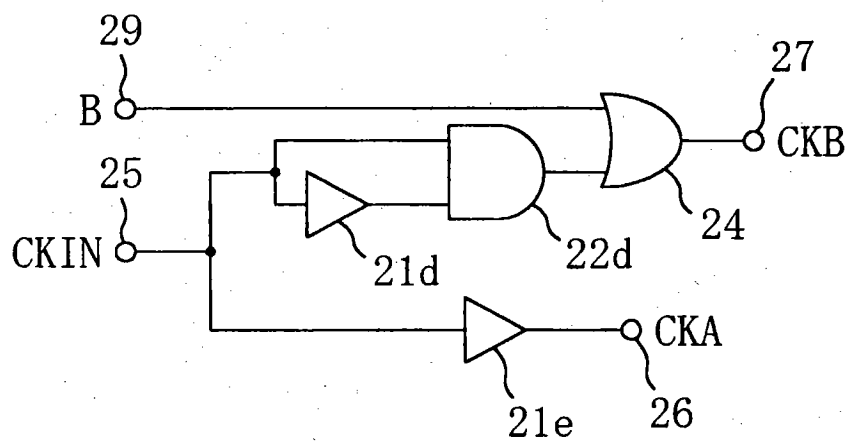
【図 6】



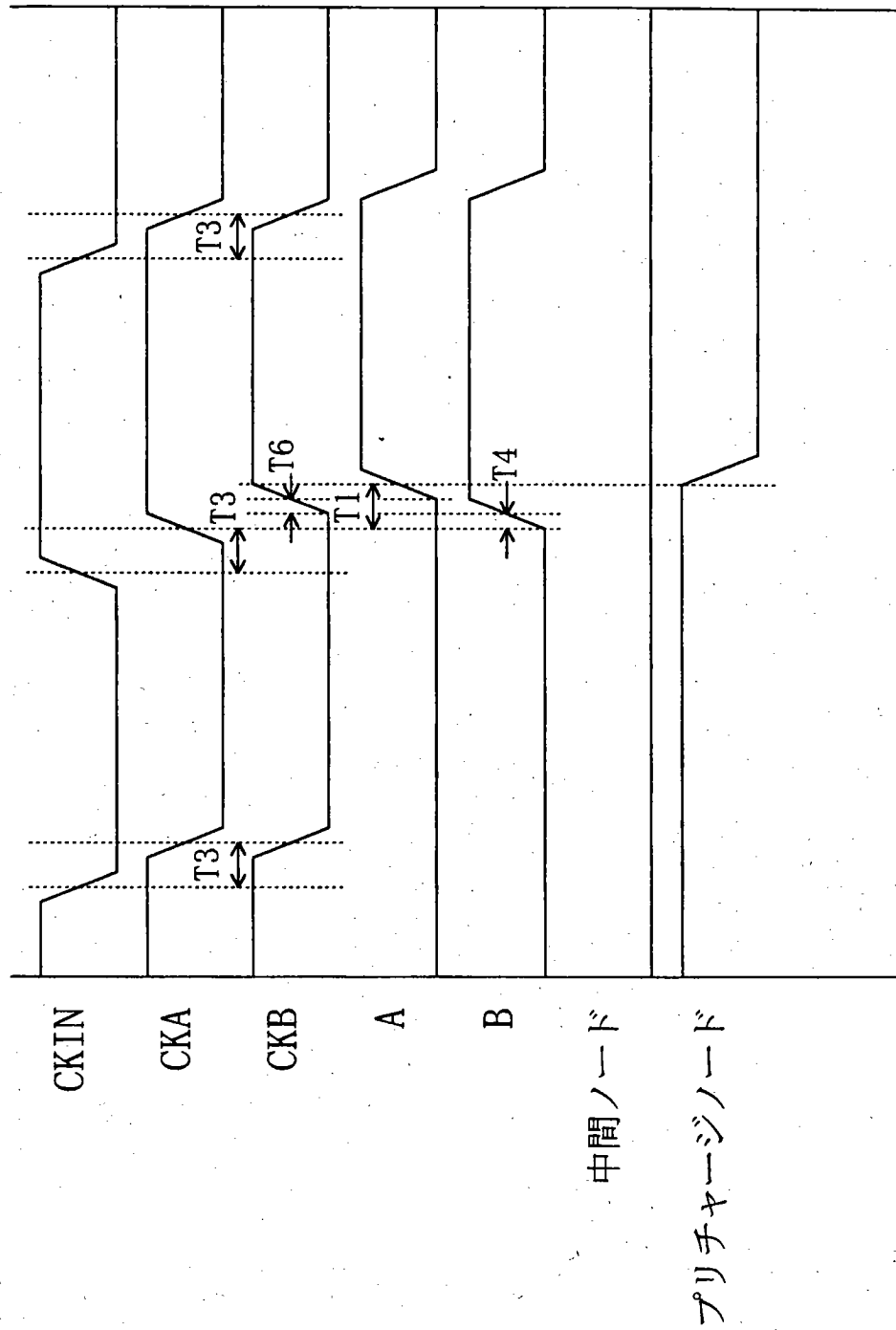
【図 7】



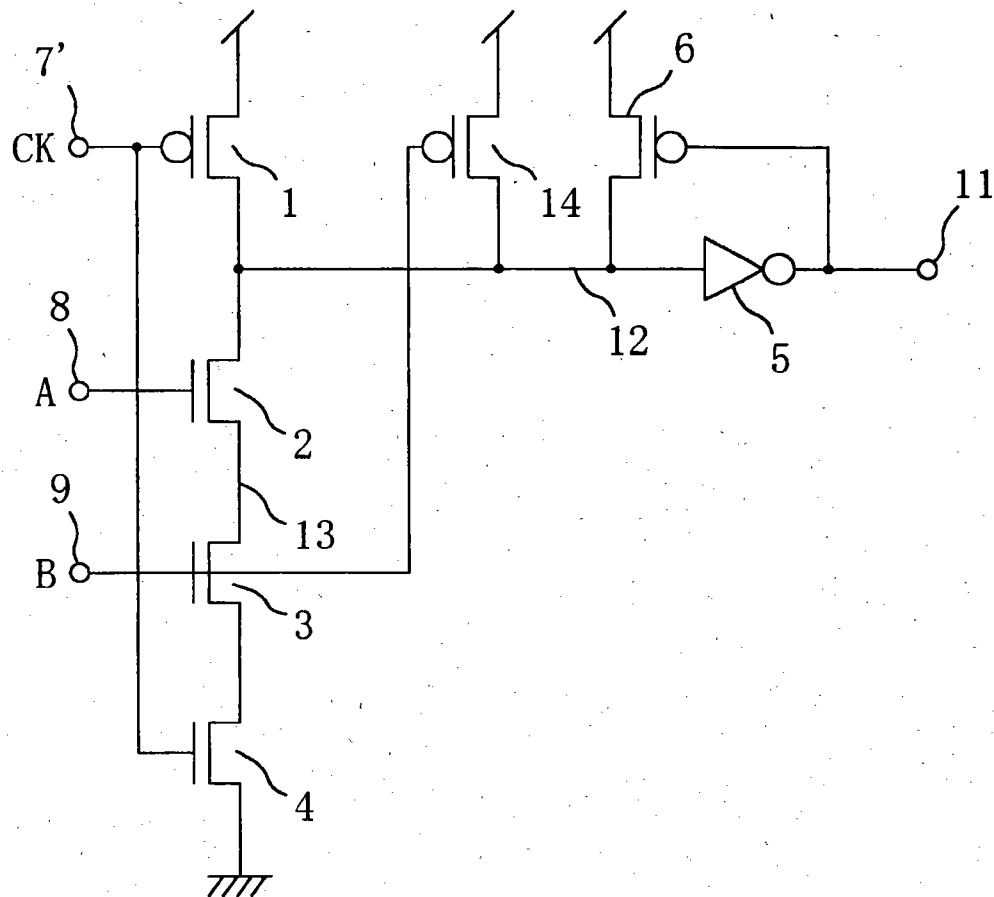
【図 8】



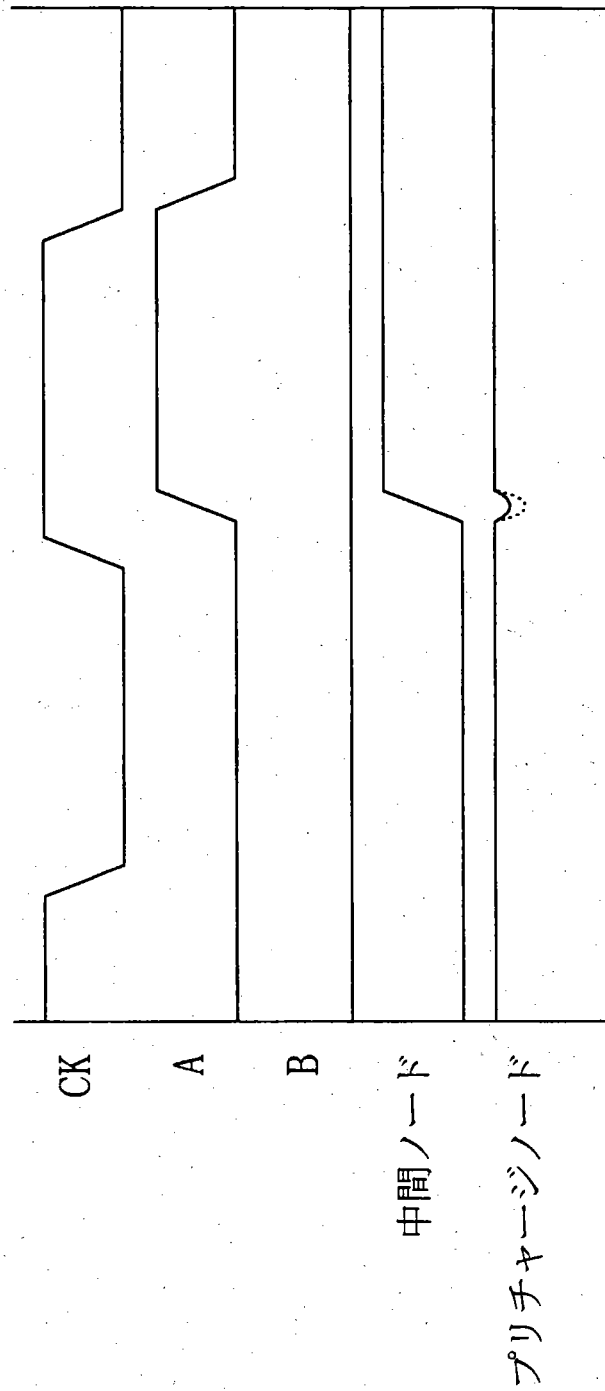
【図9】



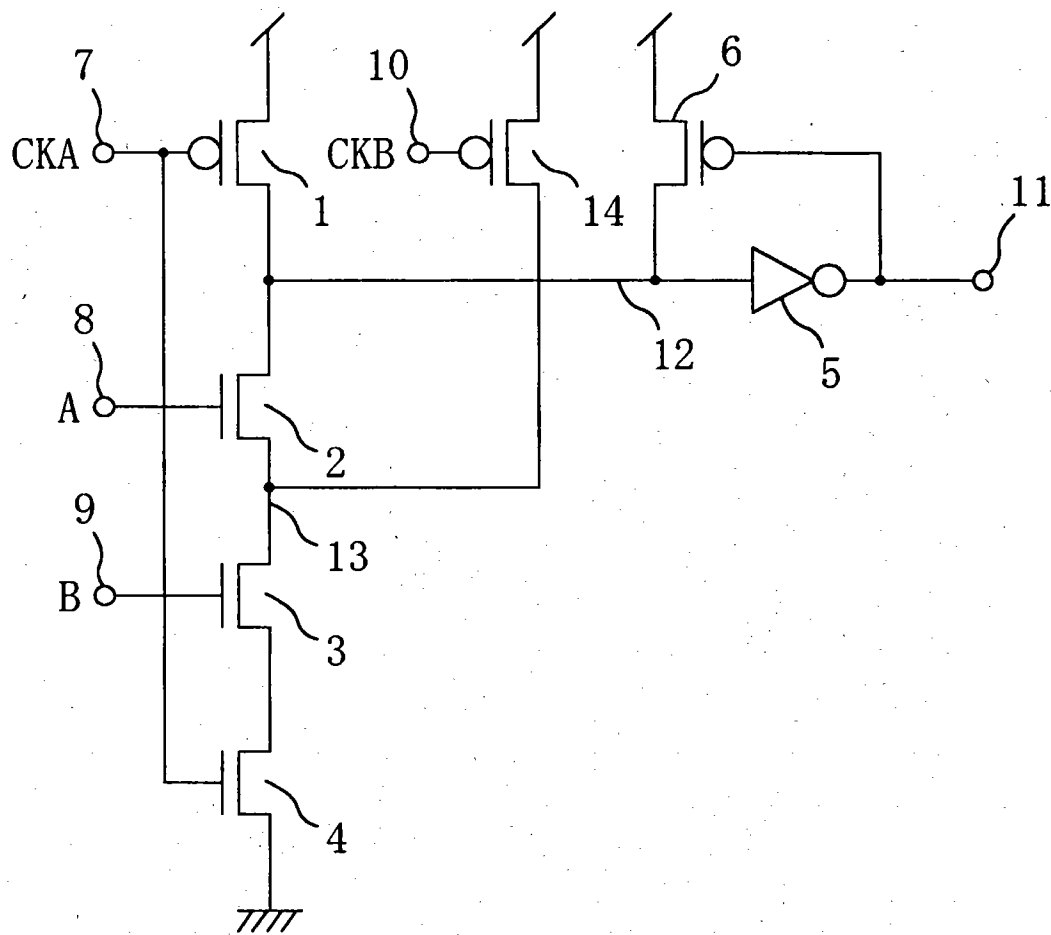
【図10】



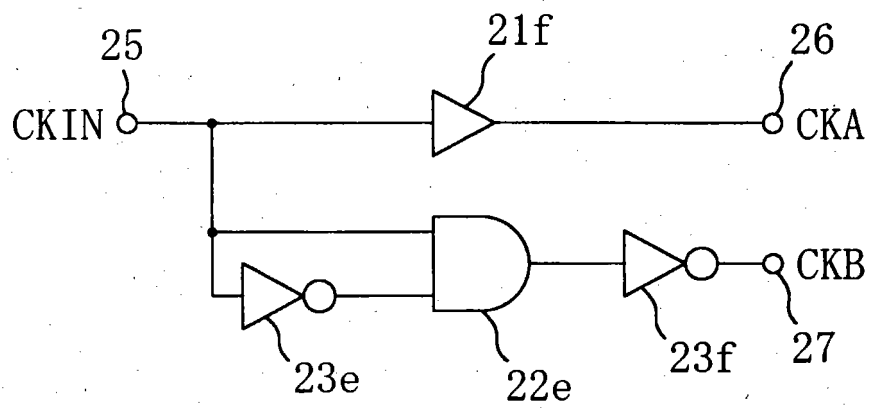
【図 1 1】



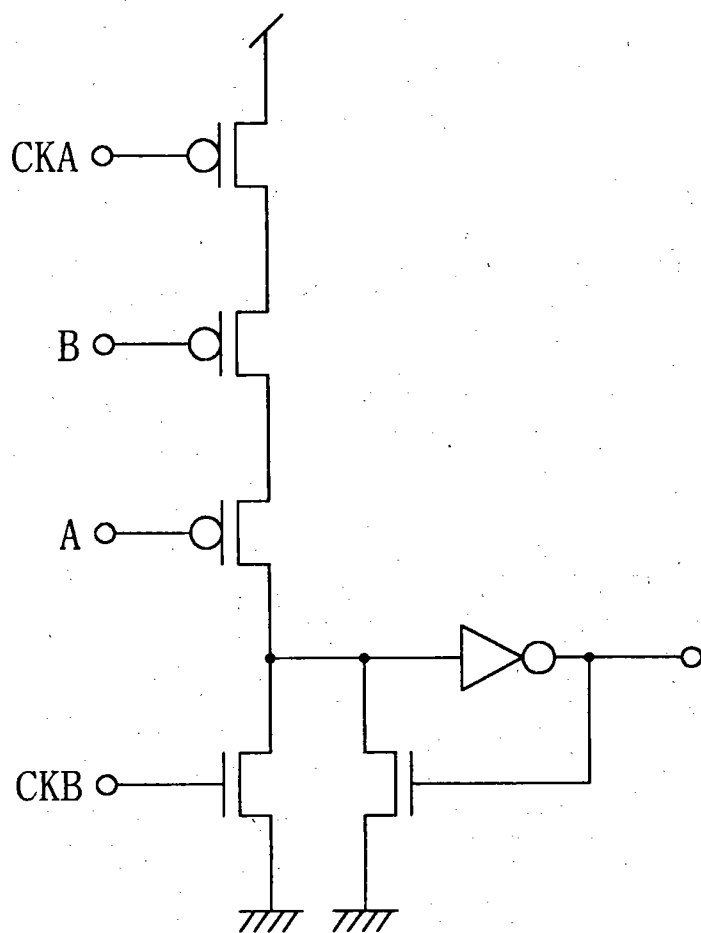
【図 12】



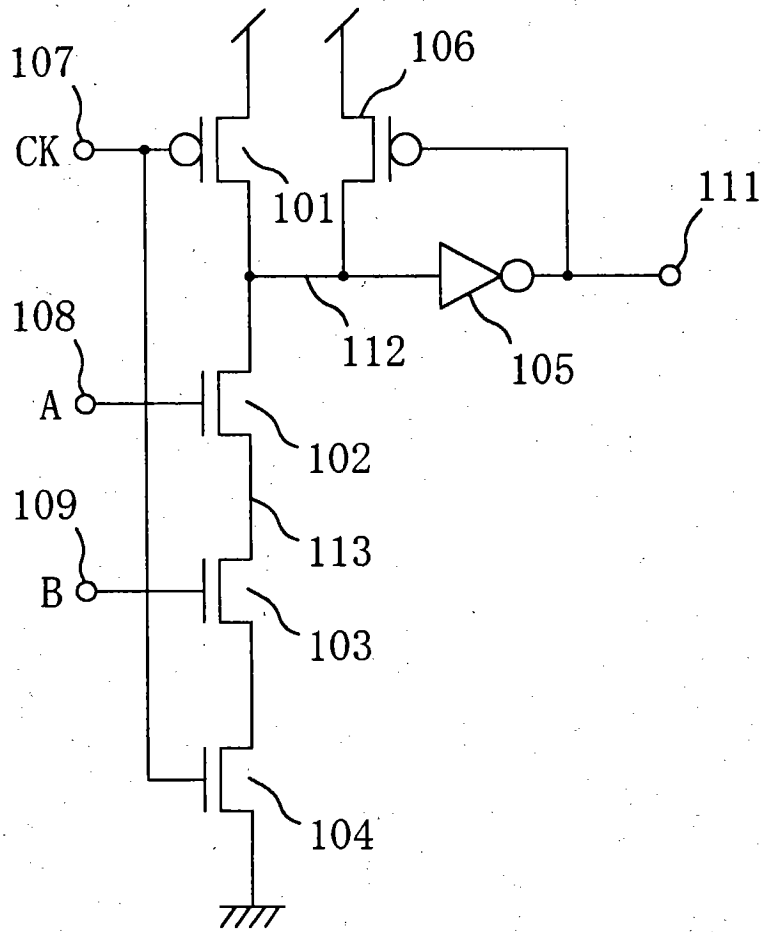
【図 1 3】



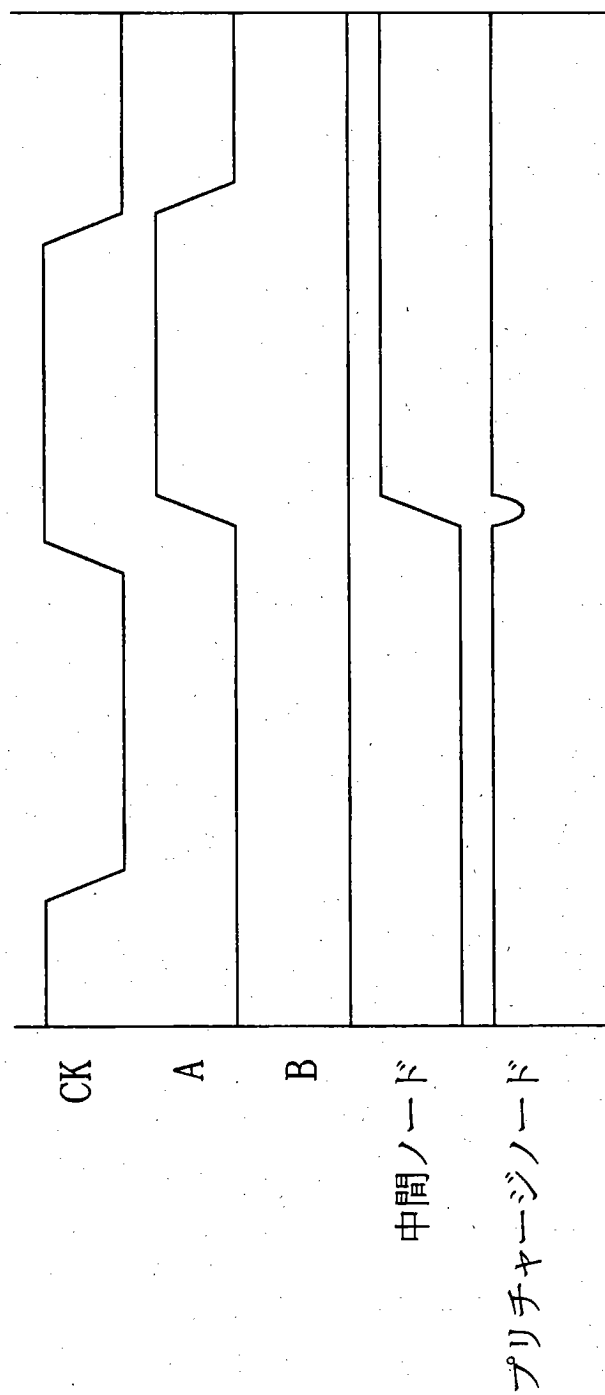
【図 14】



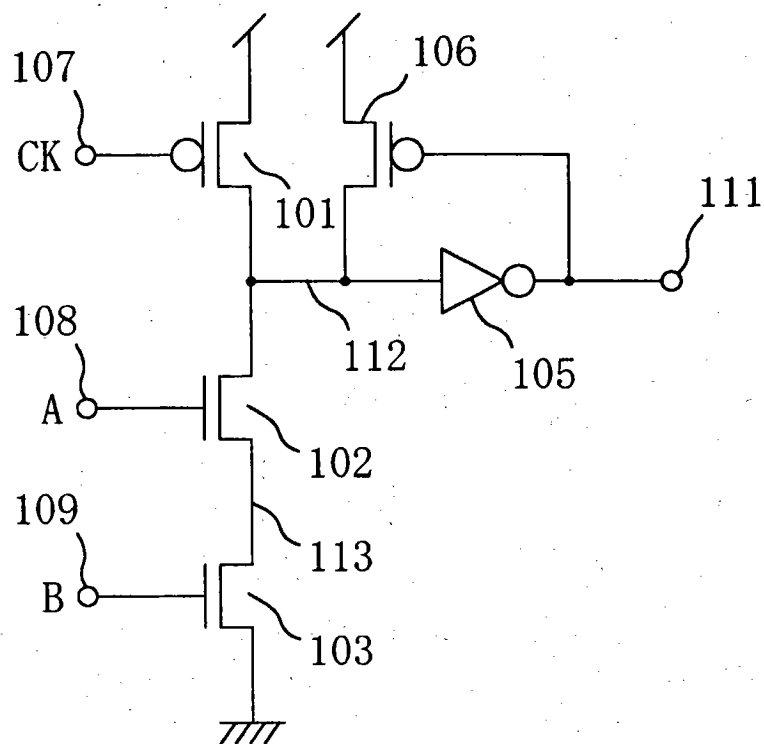
【図15】



【図 16】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 ダイナミック回路における中間ノードへの電荷分配によるノイズの発生を低減する。

【解決手段】 ソースードレインパスを第一の電位の電源とプリチャージノード12に接続しゲート端子を第二のクロック入力端子10に接続したプリチャージP型MOSトランジスタ1と、ソースードレインパスをディスチャージノードと第二の電位の電源に接続しゲート端子を第一のクロック入力端子7に接続したディスチャージN型MOSトランジスタ4と、論理演算用N型MOSトランジスタ2, 3とを備え、前記プリチャージノード12と前記ディスチャージノードとの間に前記論理演算用N型MOSトランジスタ2, 3のソースードレインパスを中間ノード13を形成して接続したダイナミック回路において、前記プリチャージP型MOSトランジスタ1を前記中間ノード13から前記プリチャージノード12への導通パスが形成された後においても導通させる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社